

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-334100

#3

(43)Date of publication of application : 17.12.1993

(51)Int.Cl.

G06F 9/46

G06F 9/42

(21)Application number : 04-140404

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 01.06.1992

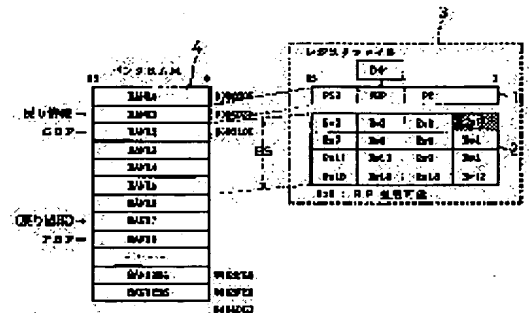
(72)Inventor : KOINO SEIJI

(54) MICROPROCESSOR

(57)Abstract:

PURPOSE: To dispense with an instruction dedicated for the saving of a stack pointer and to reduce instruction bit width by allocating the stack pointer to a universal register always designated as a bank.

CONSTITUTION: A universal register group 2 is provided with 16 registers (RW0-RV15) of 16 bit width, and the stack pointer(SP) is allocated to the universal register(RW0). Return information is preserved in a current bank pointer(CBP), and when interrupt is generated, the universal register group 2 is written back to a bank RAM 4 at a bank position indicated by the current bank pointer (CBP). At this time, the size of the bank pointer is set with the two bank number designation bits (BS) of a processor status word(PSW). Meanwhile, a dedicated register group 1 is saved to the value of the current bank pointer(CBP).



LEGAL STATUS

[Date of request for examination]

27.05.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3110866

[Date of registration]

14.09.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



PatentWeb
Home



Edit
Search



Return to
Patent List



Back to
Record



Help

MicroPatent® Worldwide PatSearch: Record 2 of 3 #3

Family of JP05334100 [How It Works](#)

Stage 2 Patent Family - "Extended"		Priorities and Applications	
CC DocNum	KD PubDate	CC AppNum	KD AppDate
<input type="checkbox"/> JP 3110866	B2 20001120	JP 140404	A 19920601
		JP 140404	A 19920601
<input type="checkbox"/> JP 5334100	A2 19931217	JP 140404	A 19920601
<input type="checkbox"/> US 5491826	A 19960213	JP 140404	A 19920601
		US 68104	A 19930528
3 Publications found.			

[Order Selected Documents](#)



PatentWeb
Home



Edit
Search



Return to
Patent List



Back to
Record



Help

For further information, please contact:
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)



US005491826A

United States Patent [19]**Koino**[11] **Patent Number:** **5,491,826**[45] **Date of Patent:** **Feb. 13, 1996**

[54] **MICROPROCESSOR HAVING REGISTER BANK AND USING A GENERAL PURPOSE REGISTER AS A STACK POINTER**

[75] Inventor: **Seiji Koino**, Futyu, Japan

[73] Assignee: **Kabushiki Kaisha Toshiba**, Kawasaki, Japan

[21] Appl. No.: **68,104**

[22] Filed: **May 28, 1993**

[30] **Foreign Application Priority Data**

Jun. 1, 1992 [JP] Japan 4-140404

[51] Int. Cl.⁶ **G06F 13/00**

[52] U.S. Cl. **395/775; 364/DIG. 1**

[58] Field of Search **395/775**

[56] **References Cited****U.S. PATENT DOCUMENTS**

4,334,269	6/1982	Shibasaki et al.	395/775
4,352,157	9/1982	Namimoto et al.	395/775
5,101,486	3/1992	Okamoto	395/400
5,115,506	5/1992	Cohen et al.	395/725
5,165,033	11/1992	Kawasaki et al.	395/775
5,220,669	6/1993	Baum et al.	395/775

5,274,792	12/1993	Sato	395/425
5,293,594	3/1994	Nojiri et al.	395/400
5,313,644	5/1994	Matsuo et al.	395/800
5,321,823	6/1994	Grundmann et al.	395/425

Primary Examiner—Jack B. Harvey

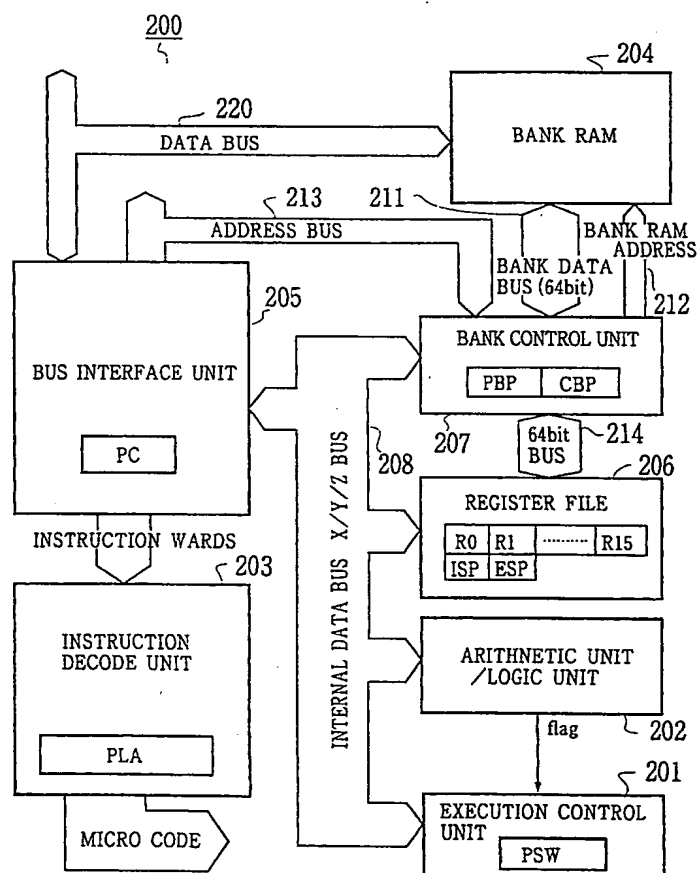
Assistant Examiner—Paul R. Myers

Attorney, Agent, or Firm—Foley & Lardner

[57]

ABSTRACT

A microprocessor having a register file has an execution unit, a register file for storing data or information for a task, and a bank ram. The register file includes a stack pointer, a general purpose register group having a plurality of registers for storing data used for the execution unit, and a special purpose register group for storing data of a task. The special purpose register group includes a current bank pointer, a processor status word (PSW), a preceding bank pointer, and a program counter. The bank ram is made up of a plurality of bank blocks. Each bank block consists of a predetermined unit banks. Each bank block is capable of storing the data of the register file per task. In the microprocessor described above, when a current task is switched to another task, the content of the stack pointer of the current task is set as one of the registers in the general purpose register group. The number of the unit blocks per bank block and the bit width of the stack pointer can be changed by the PSW.

10 Claims, 6 Drawing Sheets

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-334100

(43) 公開日 平成5年(1993)12月17日

(51) Int.Cl. ⁵	識別記号	片内整理番号	F I	技術表示箇所
G 0 6 F 9/46	3 1 3 B	8120-5B		
9/42	3 3 0 R	9189-5B		

審査請求 未請求 請求項の数 2 (全 7 頁)

(21) 出願番号 特願平4-140404

(22) 出願日 平成4年(1992)6月1日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 子井野 誠治

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

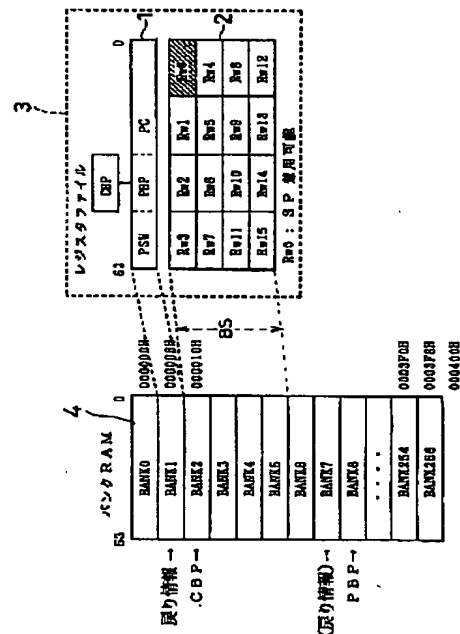
(74) 代理人 弁理士 三好 秀和 (外1名)

(54) 【発明の名称】 マイクロプロセッサ

(57) 【要約】

【目的】 この発明は、命令ビット幅の縮小化ならびに汎用レジスタの使用効率の向上を達成し得るレジスタバンク構造を有するマイクロプロセッサを提供することを目的とする。

【構成】 この発明は、汎用レジスタ群2の一部に割り当てられたスタックポインタSPと、1つのバンクブロックに対して退避／復帰するレジスタの個数を可変とし、バンクブロックが切り換えられる際に、前記スタックポインタSPが割り当てられる汎用レジスタRW0が、選択されるバンクブロックに退避されてなるレジスタバンクRAM4とから構成される。



【特許請求の範囲】

【請求項1】 汎用レジスタ群の一部に割り当てられたスタックポインタと、

1つのバンクブロックに対して退避／復帰するレジスタの個数を可変とし、バンクブロックが切り換えられる際に、前記スタックポインタが割り当てられる汎用レジスタが、選択されるバンクブロックに退避されてなるレジスタバンクとを有することを特徴とするマイクロプロセッサ。

【請求項2】 前記スタックポインタは、ビット幅が可変されてなることを特徴とする請求項1記載のマイクロプロセッサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、スタックポインタとして設定される汎用レジスタを含むレジスタファイルの退避／復帰が行われるレジスタバンク構造を備えたマイクロプロセッサに関する。

【0002】

【従来の技術】マイクロプロセッサにおける従来のレジスタバンク構造としては、例えば図4に示すようなものが採用されている。

【0003】図4に示すレジスタバンク構造は、専用レジスタ群101と汎用レジスタ群102とからなるレジスタファイル103と、256個の単位バンク（BANK0～BANK255）からなるバンクRAM104とを備えて構成されている。

【0004】レジスタファイル103の専用レジスタ群101は、現在の汎用レジスタのバンク位置を示すカレントバンクポインタ（CBP）、プロセッサステータスワード（PSW）、戻りバンクの汎用レジスタのバンク位置を示す戻りバンクポインタ（PBP）、プログラムカウンタ（PC）及びビット幅が固定されたスタックポインタ（SP）とから構成されている。汎用レジスタ群102は、16ビット長のレジスタ（RW0～RW15）を16個備えて構成されている。

【0005】バンクRAM104は、単位バンクが16ビットのレジスタ4個で構成されており、バンクを指示するバンクポインタは単位バンク毎に移動される。

【0006】このようなレジスタファイル103とバンクRAM104において、汎用レジスタ群102はバンクRAM104の連続した4つの単位バンクに割り当てられ、専用レジスタ群101はバンクRAM104の連続した2つの単位バンクに割り当てられている。また、バンクRAM104は、1つのバンクブロック当りの退避されるレジスタの個数は固定されており、図4に示すバンク構造では汎用レジスタの個数が16個に固定されている。なお、1組の汎用レジスタ群が退避されるバンクRAMのバンク又はバンクの集合をバンクブロックと呼ぶ。

【0007】このようなレジスタバンク構造においては、1つのバンクブロック当りのレジスタの個数が固定されているため、小さなコンテキストを退避する場合には、汎用レジスタの未使用部分が発生し、汎用レジスタの使い残りが生じていた。

【0008】また、スタックポインタ（SP）を専用レジスタとして設けた場合には、スタックポインタ（SP）をバンクRAM104に退避させる際に、スタックポインタ（SP）を退避させるための専用の命令が必要になっていた。このため、命令のビット幅が増大していた。

【0009】一方、スタックポインタを汎用レジスタ群の一部として設けた場合には、スタックポインタを退避するための専用の命令は不要となる。しかしながら、スタックポインタのビット幅は固定されているため、そのビット幅が大きい場合には、汎用レジスタとして本来使用できるレジスタ数が減少し、汎用レジスタの不足が生じるおそれがあった。

【0010】

【発明が解決しようとする課題】以上説明したように、従来のレジスタバンク構造において、スタックポインタは専用レジスタ又は汎用レジスタ群の一部として設けられていた。

【0011】スタックポインタを専用レジスタとして設けた場合には、退避操作のための専用の命令が必要となり、命令ビット幅が増大するという不具合を招いていた。

【0012】一方、スタックポインタを汎用レジスタ群の一部として設けた場合には、スタックポインタのビット幅が固定されているため、汎用レジスタ群に占めるスタックポインタの割合が不必要に大きくなるおそれがあり、汎用レジスタを効率良く使用することが困難になっていた。

【0013】そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところは、レジスタバンク構造を採用し、命令ビット幅の縮小化ならびに汎用レジスタの使用効率の向上を達成し得るマイクロプロセッサを提供することにある。

【0014】

【課題を解決するための手段】上記目的を達成するために、この発明は、汎用レジスタ群の一部に割り当てられたスタックポインタと、1つのバンクブロックに対して退避／復帰するレジスタの個数を可変とし、バンクブロックが切り換えられる際に、前記スタックポインタが割り当てられる汎用レジスタが、選択されるバンクブロックに退避されてなるレジスタバンクとから構成される。

【0015】

【作用】上記構成において、この発明は、レジスタの個数を可変としたレジスタバンクに対して、スタックポインタを常にバンクとして指定される汎用レジスタに設定

するようにしている。

【0016】

【実施例】以下、図面を用いてこの発明の実施例を説明する。

【0017】図1はこの発明の一実施例に係わるマイクロプロセッサのレジスタバンク構造を示す図である。

【0018】図1において、レジスタバンク構造は、専用レジスタ群1及び汎用レジスタ群2からなるレジスタファイル3と、バンクRAM4とから構成されている。

【0019】専用レジスタ群1は、図4に示したと同様の16ビット幅のレジスタ(RW0~RW15)を16個備えてなり、スタックポインタ(SP)が汎用レジスタ(RW0)に割り付けられている。なお、スタックポインタ(SP)は、他の汎用レジスタ(RW1~RW15)に割り付けるようにしてもよい。

【0020】汎用レジスタ群2は、図4に示したと同様に16ビット幅のレジスタ(RW0~RW15)を16個備えてなり、スタックポインタ(SP)が汎用レジスタ(RW0)に割り付けられている。なお、スタックポインタ(SP)は、他の汎用レジスタ(RW1~RW15)に割り付けるようにしてもよい。

【0021】バンクRAM4は、レジスタファイルの退避に用いられる。この実施例では、専用レジスタ群1が64ビット幅であることから、専用レジスタ群1の退避にはバンクRAM4のうち1バンクが使用される。

【0022】また、本発明におけるバンクRAM4では、1つのバンクブロック当りのレジスタの個数が可変となっているが、汎用レジスタ群RW0~RW15のうち、RW0, RW1, ...とビット幅の合計がバンクサイズBSになるように、RW0から使用するようにする。そして、退避の際もRW0からBS分だけ退避するようにする。そして、スタックポインタ(SP)を汎用レジスタ群2の先頭の汎用レジスタ(RW0)に割り付ける。これによって、スタックポインタ(SP)はバンクを切り換えた際に必ずバンクRAMのバンクの一部として選択されることになる。すなわち、スタックポインタ(SP)として割り付けられた汎用レジスタは、実行ルーチンの変更によりバンクを切り換えた時には、新たに選択されたバンクブロック内のバンクに必ず退避されることになる。

【0023】なお、スタックポインタ(SP)を汎用レジスタ群2の先頭の汎用レジスタ(RW0)に割り付けない場合であっても、スタックポインタ(SP)がバンクとして選択されるようにすることは可能である。

【0024】このようなレジスタバンク構造において、戻り情報は、カレントバンクポインタ(CBP)に保存されて、割込みが発生した時には、汎用レジスタ群2はカレントバンクポインタ(CBP)が示すバンク位置のバンクRAM4に書き戻される。この時に、バンクポインタのサイズは、プロセッサステータスワード(PSW)のバンク数指定ビット(BS)の2ビットで設定さ

れる。

【0025】一方、専用レジスタ群1は、カレントバンクポインタ(CBP)の値から1を引いた値のバンク位置のバンクRAM4に退避される。

【0026】図2は図1に示したレジスタバンク構造におけるバンクRAM4のマイクロプロセッサにおける実行ルーチンに対する割り付けの一例を示す図である。

【0027】図2において、メインルーチンでは、バンク15~バンク18を使用し、割込みルーチン1~3では、未使用のバンクを他のルーチンと共用している。図2に示すバンクの使用例において、メインルーチンからサブルーチン1に移り、さらにサブルーチン1からサブルーチン2に移るような場合には、レジスタの重なり部を介してパラメータの受け渡しが行なわれる。

【0028】また、現在実行中のタスクでは、割込み発生に備えて専用レジスタを退避するためのバンクを確保しておく必要があるため、サブルーチン2ではこのバンクとしてバンク9が割り当てられている。一方、メインルーチン及びサブルーチン1は、現在実行中でないために専用レジスタの退避のためのバンクは不要となり、そのためのバンクがそれぞれサブルーチン1, 2で使用されている。

【0029】このように、この発明の実施例にあっては、スタックポインタ(SP)を汎用レジスタ(RW0)と兼用しているため、1つのバンクブロックのレジスタ群の個数に依存することなく、それぞれの実行ルーチンの変更によるバンクの切り換えにおいて、スタックポインタ(SP)は必ずバンクとして選択され、スタックポインタ(SP)をバンクに退避させるための専用の命令が不要となる。これにより、命令のビット幅を削減することが可能となり、かつ必要に応じた大きさのバンクを使用することにより、汎用レジスタを効率良く使用することが可能となる。

【0030】図3はスタックポインタのビット幅を可変とした実施例を示す図である。

【0031】図3に示す実施例の特徴とするところは、スタックポインタ(SP)を汎用レジスタ群2の1つの汎用レジスタ(RW0)に割り付けて16ビット幅とするか、又は2つの汎用レジスタ(RW0, RW1)に割り付けて32ビット幅にするかを、プロセッサステータスワード(PSW)のスタックポインタ(SP)幅選択ビット(1ビット)で選択するようにしたことにある。

【0032】このような実施例にあっては、スタックポインタ(SP)を1つの汎用レジスタ(RW0)に割り付けて16ビット幅とした場合は、スタックポインタ(SP)のアクセス領域は図3に示すように64Kバイトとなり、使用可能な汎用レジスタは15個となる。一方、2つの汎用レジスタ(RW0, RW1)に割り付けた場合には、アクセス領域は図3に示すように4Gバイトとなり、使用可能な汎用レジスタは14個となる。

5

【0033】したがって、必要なスタック領域が64Kバイト以内である場合には、スタックポインタ（SP）として1つの汎用レジスタ（RW0）を選択するようにすれば、スタックポインタ（SP）を32ビット幅とした場合に比べて汎用レジスタが1個多く使用することが可能となり、汎用レジスタを効率良く使用することができる。また、バンクブロック当たりのレジスタ数の可変で、かつスタックポインタ幅が32ビットで固定である場合、例えばレジスタ数を16本としたとき、汎用レジスタは14本で十分な数が使用できるが、レジスタ数を4本としたときには、汎用レジスタは2本しか使用できない。

【0034】すなわち、バンクブロック当たりのレジスタ数を減らすと、相対的にスタックポインタの占める割合が増加し、そのために、バンクブロック当たりのレジスタ数を増やさねばならない状況が考えられる。これは汎用レジスタの使用効率の低下をまねく。

【0035】このような不具合は、スタックポインタを可変として、16ビットとして汎用レジスタ数を1本増やすことにより回避することができる。

【0036】

【発明の効果】以上説明したように、レジスタの個数を可変としたレジスタバンク構造において、スタックポインタを常にバンクに指定される汎用レジスタに割り付け

6

るようにしたので、スタックポインタの退避のための専用の命令が不要となり、命令ビット幅の縮小化を達成することができる。

【0037】また、スタックポインタのビット幅を可変するようにしたので、必要なスタック領域に応じてスタックポインタのビット幅が設定可能となり、スタックポインタを汎用レジスタに割り付けた際に、汎用レジスタを効率的に使用することができる。

【図面の簡単な説明】

【図1】この発明の一実施例に係わるマイクロプロセッサにおけるレジスタバンク構造を示す図である。

【図2】図1に示すレジスタバンクの一例使用例を示す図である。

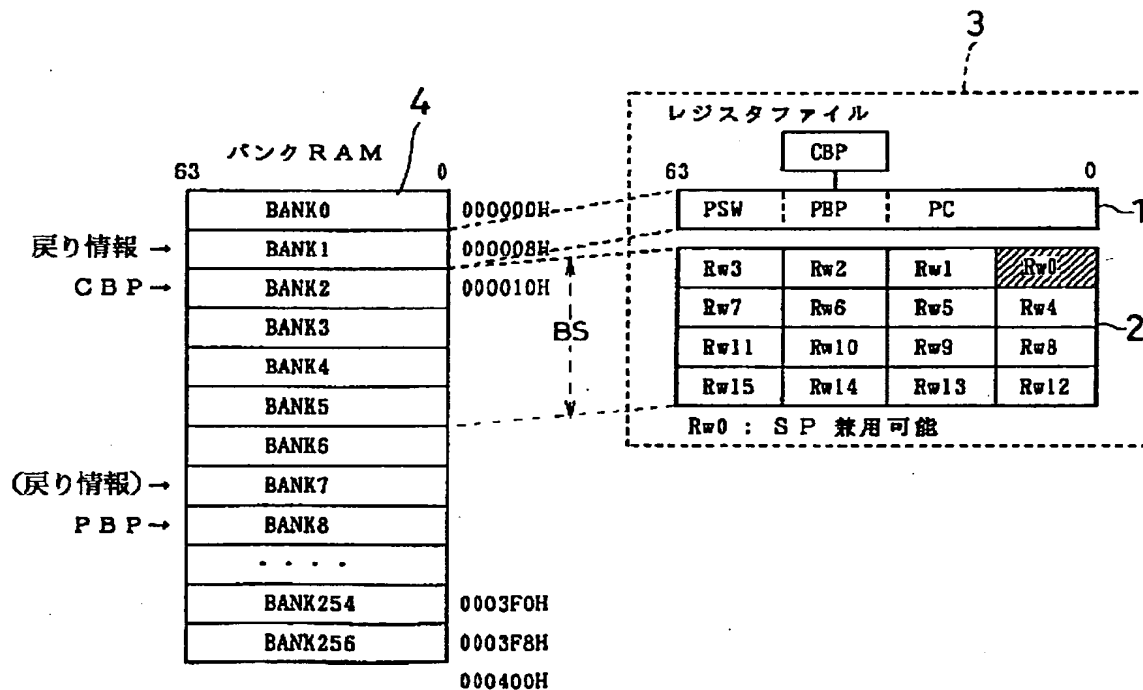
【図3】図1に示すレジスタバンク構造におけるスタックポインタのビット幅可変の一実施例を示す図である。

【図4】従来のマイクロプロセッサにおけるレジスタバンク構造を示す図である。

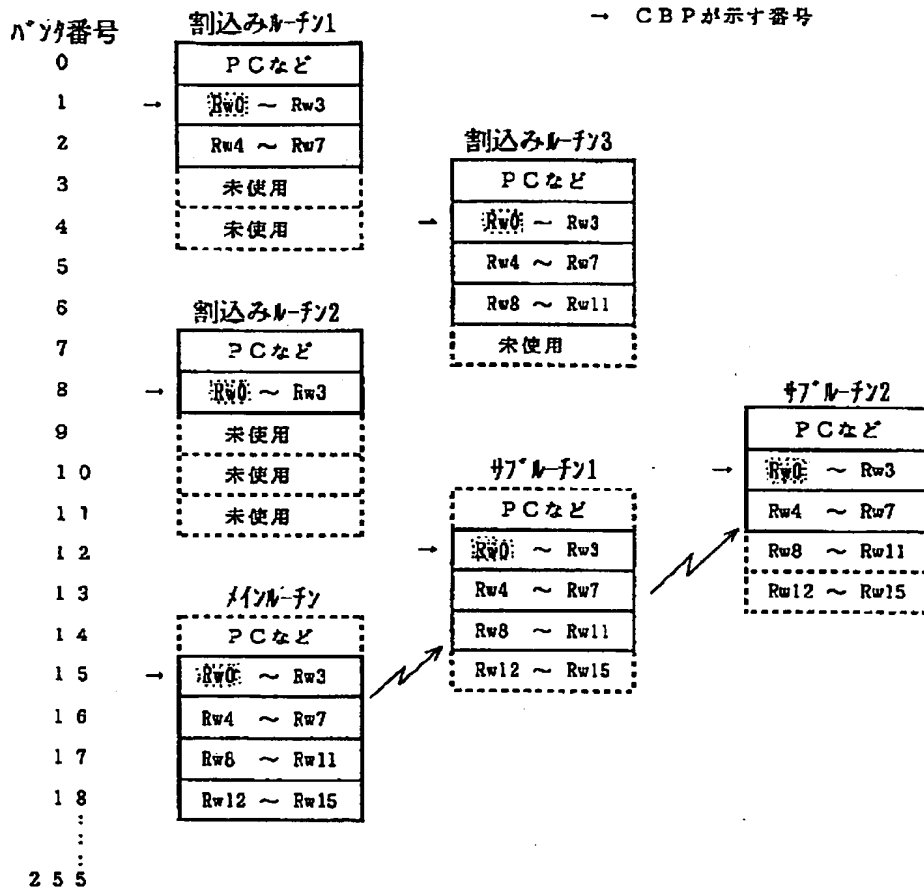
【符号の説明】

- 1, 101 専用レジスタ群
- 2, 102 汎用レジスタ群
- 3, 103 レジスタファイル
- 4, 104 バンクRAM
- SP スタックポインタ
- RW0～RW15 汎用レジスタ

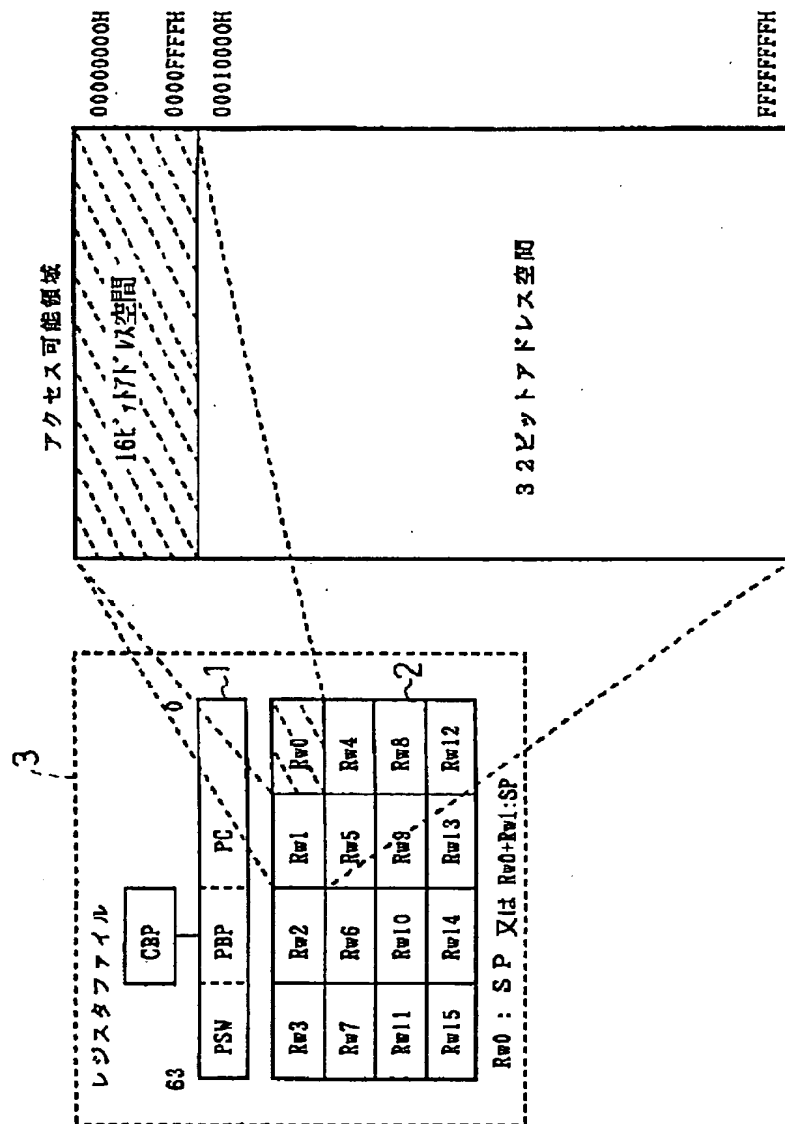
【図1】



【図2】



【図3】



【図4】

